

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-321141

(43)公開日 平成9年(1997)12月12日

| (51)Int.Cl. ⁹ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|--------|---------------|---------|
| H 0 1 L 21/768 | | | H 0 1 L 21/90 | C |
| 21/28 | | | 21/28 | L |
| | 3 0 1 | | | 3 0 1 R |
| 21/3065 | | | 21/302 | L |

審査請求 未請求 請求項の数5 F D (全 6 頁)

(21)出願番号 特願平8-160923

(22)出願日 平成8年(1996)5月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 藤吉 英治

長崎県諫早市津久葉町1883番43 ソニー長崎株式会社内

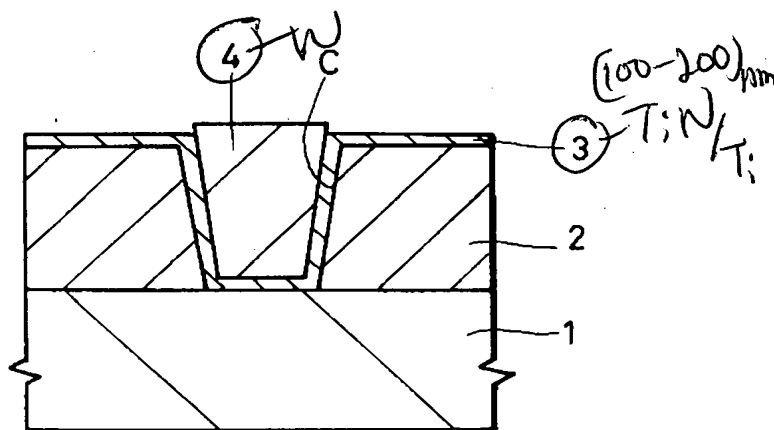
(74)代理人 弁理士 杉浦 正知

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 Wプラグのプラグロスを抑制することができ、しかも、トレンチングを抑えることができる半導体装置の製造方法を提供する。

【解決手段】 Si基板1上の層間絶縁膜2にコンタクトホールCを形成し、層間絶縁膜2上にTi膜およびTiN膜を順次形成してTiN/Ti膜の二層膜からなる密着層3を形成し、密着層3上にW膜4を形成した後、W膜4および密着層3を層間絶縁膜2の表面が露出するまでエッチバックして、コンタクトホールC内にWプラグを形成する。密着層3のTiN膜の厚さを150nm~200nmとするとともに、密着層3のエッチバックを、低スパッタ性のRIE法による第1のエッチング工程および高スパッタ性のRIE法による第2のエッチング工程の二段階に分けて行う。密着層3のエッチバックの第1のエッチング工程は、層間絶縁膜2の表面が露出する直前で停止し、W膜4の表面を密着層3の表面から突出させる。



【特許請求の範囲】

【請求項1】 半導体基板上に絶縁膜を形成する工程

と、

上記絶縁膜に上記半導体基板の表面に達する開口を形成する工程と、

上記絶縁膜上に少なくとも上層が窒化チタン膜からなる密着層を形成する工程と、

上記密着層上にタングステン膜を形成する工程と、

上記タングステン膜および上記密着層を少なくとも上記絶縁膜が露出するまで反応性イオンエッチング法によりエッチバックすることにより、上記開口を埋めるようにタングステンプラグを形成する工程とを有する半導体装置の製造方法において、

上記絶縁膜上における上記密着層の上記窒化チタン膜の厚さが100nm以上200nm以下となるように上記密着層を形成するとともに、

上記密着層のエッチバックを、第1の反応性イオンエッチング法により上記タングステン膜の表面が上記密着層の表面から突出するように上記密着層をエッチングする工程と、上記第1の反応性イオンエッチング法よりもスパッタ性の高い第2の反応性イオンエッチング法により上記密着層をエッチングする工程とに分けて行うようにしたことを特徴とする半導体装置の製造方法。

【請求項2】 上記密着層はチタン膜およびその上層の上記窒化チタン膜の二層膜からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 上記絶縁膜上における上記密着層の上記窒化チタン膜の厚さが150nm以上200nm以下となるように上記密着層を形成することを特徴とする請求項2記載の半導体装置の製造方法。

【請求項4】 上記密着層は上記窒化チタン膜の単層膜からなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 上記絶縁膜上における上記密着層の上記窒化チタン膜の厚さが100nm以上150nm以下となるように上記密着層を形成することを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に関し、特に、いわゆるブランケットタングステン(W)プロセスによりコンタクトホール内にWプラグを形成する半導体装置の製造に適用して好適なものである。

【0002】

【従来の技術】半導体デバイスの高集積化や微細化に伴う、アルミニウム(A1)配線のコンタクトホール部におけるカバレッジを確保するために、コンタクトホール内にWプラグを形成する方法が知られている。図8～図12は、このようなWプラグをコンタクトホール内に形

成する従来の半導体装置の製造方法を示す。すなわち、従来の半導体装置の製造方法においては、まず、図8に示すように、あらかじめ素子(図示せず)が形成されたシリコン(Si)基板101上に、例えば、化学気相成長(CVD)法などにより二酸化シリコン(SiO₂)膜のような層間絶縁膜102を全面に形成する。次に、この層間絶縁膜102上に所定形状のレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により層間絶縁膜102の所定部分をエッチング除去することによりコンタクトホールC'を形成する。図示は省略するが、このコンタクトホールC'の部分におけるSi基板101中には拡散層が形成されている。この後、エッチングマスクに用いたレジストパターンを除去する。

【0003】次に、図9に示すように、例えばスパッタリング法により全面にチタン(Ti)膜および窒化チタン(TiN)膜を順次形成して、TiN/Ti膜の二層膜からなる密着層103を形成する。ここで、層間絶縁膜2上における密着層103のTi膜の厚さは例えば30nmに選ばれ、TiN膜の厚さは例えば70nmに選ばれる。

【0004】次に、図10に示すように、例えばCVD法により、全面にW膜104を形成してコンタクトホールC'を埋める。ここで、W膜104は、その表面がほぼ平坦となるように十分厚く形成される。

【0005】次に、図11に示すように、W膜104を反応性イオンエッチング(RIE)法により、Si基板101の表面と垂直方向に密着層103の表面が露出するまでエッチバックする。次に、密着層103をRIE法により、Si基板101の表面と垂直方向に層間絶縁膜102の表面が露出するまでエッチバックする。これにより、コンタクトホールC'内にWプラグ105が形成される。ここで、密着層103は、Wプラグ105の下地に対する密着性を高める働きをする。

【0006】次に、例えばスパッタリング法によりアルミニウム(A1)膜を全面に形成し、このA1膜上に所定形状のレジストパターン(図示せず)を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により、A1膜の所定部分をエッチング除去してパターンニングする。これにより、図12に示すように、Wプラグ105上にA1配線106が形成される。この後、このエッチングマスクに用いたレジストパターンを除去する。以上のようにして、目的とする半導体装置が製造される。

【0007】

【発明が解決しようとする課題】しかしながら、上述の従来の半導体装置の製造方法では、上述のW膜104および密着層103をエッチバックする工程において、下地の層間絶縁膜102との界面における密着層103を除去する際に、コンタクトホールC'内のWプラグ10

10

20

30

40

50

3

5の上部がエッチングされてしまうため、層間絶縁膜102の表面に対するWプラグ105の表面の落ち込み、いわゆるプラグロス（またはリセス）が発生するという弊害があった。また、このとき、コンタクトホールCの側壁上の密着層103もエッチングされてしまうため、Wプラグ105の表面に対する密着層103の頂部の落ち込み、いわゆるトレンチング（またはガウジング）が発生するという弊害があった。

【0008】特に、Wプラグ105のプラグロスが大きくなると、上述の図12に示したように、Wプラグ105上にA1配線106を形成した場合、Wプラグ105の表面と層間絶縁膜102の表面との間に、プラグロスの分だけ段差が生じているため、Wプラグ105直上の部分のA1配線106が大きく落ち込み、A1配線106のカバレッジが悪化するという問題を引き起こしていた。これにより、このA1配線106のエレクトロマイグレーション耐性が劣化するなど、デバイス特性に多大な影響を与えていた。したがって、この発明の目的は、タングステンプラグのプラグロスの発生を抑制することができ、しかも、トレンチングの発生を抑えることができる半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、この発明は、半導体基板上に絶縁膜を形成する工程と、絶縁膜に半導体基板の表面に達する開口を形成する工程と、絶縁膜上に少なくとも上層が窒化チタン膜からなる密着層を形成する工程と、密着層上にタングステン膜を形成する工程と、タングステン膜および密着層を少なくとも絶縁膜が露出するまで反応性イオンエッチング法によりエッチバックすることにより、開口を埋めるようにタングステンプラグを形成する工程とを有する半導体装置の製造方法において、絶縁膜上における密着層の窒化チタン膜の厚さが100nm以上200nm以下となるように密着層を形成するとともに、密着層のエッチバックを、第1の反応性イオンエッチング法によりタングステン膜の表面が密着層の表面から突出するように密着層をエッチングする工程と、第1の反応性イオンエッチング法よりもスパッタ性の高い第2の反応性イオンエッチング法により密着層をエッチングする工程とに分けて行うようにしたことを特徴とする。

【0010】上述のように構成されたこの発明によれば、層間絶縁膜上における密着層のTiN膜の厚さが100nm～200nmと、従来の場合に比べて厚く形成されている。このため、後に行われる密着層のエッチバックの工程において、スパッタ性の低い第1の反応性イオンエッチング法により密着層をエッチングする際に、この密着層の表面に対してタングステン膜の表面を、十分高く突出させることができる。これにより、第2の反応性イオンエッチング法により密着層をエッチングする際に、タングステン膜の厚さの減少を少なくすることが

4

できるので、タングステンプラグのプラグロスの発生を抑制することができる。

【0011】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。図1～図7は、Wプラグをコンタクトホール内に形成するようにした、この発明の一実施形態による半導体装置の製造方法を示す。すなわち、この半導体装置の製造方法においては、まず、図1に示すように、あらかじめ素子（図示せず）が形成されたSi基板1上に、例えば、CVD法などによりSiO₂膜のような層間絶縁膜2を全面に形成する。次に、この層間絶縁膜2上に所定形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により層間絶縁膜2の所定部分をエッチング除去することによりコンタクトホールCを形成する。図示は省略するが、このコンタクトホールCの部分におけるSi基板1中には拡散層が形成されている。この後、エッチングマスクに用いたレジストパターンを除去する。

【0012】次に、図2に示すように、例えばスパッタリング法により全面にTi膜およびTiN膜を順次形成して、TiN/Ti膜の二層膜からなる密着層3を形成する。このとき、この密着層3をコンタクト抵抗の許容範囲内で厚く形成するのが好ましい。具体的には、例えば、層間絶縁膜2上における密着層3のTi膜の厚さは30nmに選ばれ、TiN膜の厚さは150nm以上200nm以下に選ばれる。

【0013】次に、図3に示すように、例えばCVD法により全面にW膜4を形成してコンタクトホールCを埋める。ここで、このW膜4は、その表面がほぼ平坦になるように十分厚く形成される。

【0014】次に、図4に示すように、W膜4を、反応ガスとしてSF₆ガスおよびArガスの混合ガスを用いたRIE法により、二段階に分けて、Si基板1の表面と垂直方向に密着層3の表面が露出するまでエッチバックする。すなわち、まず、このW膜4のエッチバックの第1のステップとして、W膜4が効率的にエッチングされるようなRIE法により、密着層3上におけるW膜4の厚さが例えば150nmになるまでW膜4をエッチングする。このときのエッチング条件は、SF₆ガスおよびArガスの流量比率を例えば1:1とし、高周波電力を例えば600Wとする。次に、第2のステップとして、密着層3のTiN膜に対するW膜4のエッチング選択比が大きくなるようなRIE法により、W膜4を密着層3の表面が露出するまでエッチングする。このときのエッチング条件は、SF₆ガスおよびArガスの流量比率を例えば2:1とし、高周波電力を例えば300Wとする。

【0015】次に、密着層3を、反応ガスとしてCl₂

ガスおよびArガスの混合ガスを用いたRIE法により、二段階に分けて、Si基板1の表面と垂直方向に層間絶縁膜2の表面が露出するまでエッチバックする。すなわち、まず、図5に示すように、この密着層3のエッチバックの第1のステップとして、W膜4に対する密着層3のエッチング選択比が大きくなるような、スパッタ性の低い（反応性の強い）RIE法により密着層3をエッチングする。このとき、下地の層間絶縁膜2が露出すると、コンタクトホールCの側壁上の密着層3のエッチングが進み、トレンチングの増大を引き起こすおそれがあるため、層間絶縁膜2の表面が露出する直前で密着層3のエッチングを停止する。このときのエッチング条件は、Cl₂ガスおよびArガスの流量比率を例えば1:3とし、高周波電力を例えば300Wとする。これにより、W膜4の表面が密着層3の表面から突出する。

【0016】次に、図6に示すように、第2のステップとして、層間絶縁膜2との界面における密着層3を完全に除去するために、第1のステップによるRIE法よりもスパッタ性の高いRIE法により密着層3をエッチングする。このときのエッチング条件は、例えば、Cl₂ガスおよびArガスの流量比率を例えば1:30とし、高周波電力を例えば450Wとする。これにより、層間絶縁膜2上の密着層3が除去されるとともに、コンタクトホールC内に、密着層3を介してWプラグ5が形成される。ここで、密着層3はWプラグ5の下地に対する密着性を高める働きをする。

【0017】次に、例えばスパッタリング法によりAl膜を全面に形成する。次に、このAl膜上に所定形状のレジストパターン（図示せず）を形成した後、このレジストパターンをマスクとして、例えばドライエッチング法により、Al膜の所定部分をエッチング除去してパターンニングする。これにより、図7に示すように、Wプラグ5上にAl配線6が形成される。この後、このエッチングマスクに用いたレジストパターンを除去する。以上のようにして、目的とする半導体装置を製造する。

【0018】上述のように構成されたこの一実施形態による半導体装置の製造方法によれば、層間絶縁膜2上における密着層3のTiN膜の厚さが150nm~200nmとなるように密着層3を形成しているとともに、密着層3のエッチバックを、スパッタ性の低い第1のRIE法による第1のステップと、スパッタ性の高い第2のRIE法による第2のステップとの二つのステップに分けて行うようにしているので、次のような効果を得ることができる。

【0019】すなわち、密着層3のTiN膜の厚さが150nm~200nmと、従来よりも厚く形成されているため、密着層3のTiN膜の厚さが薄い場合に比べて、密着層3をエッチバックする際に第1のステップによる低スパッタ性のRIE法によりエッチングされる厚さが大きくなる。このため、密着層3の表面に対してW

膜4を十分な高さに突出させることができる。このW膜4が突出している分だけ、第2のステップによる高スパッタ性のRIE法によるエッチングを行う際に、W膜4の厚さの減少を少なくすることができるので、Wプラグ5のプラグロスを低減することができる。また、層間絶縁膜2の表面が露出する前に、第2のステップによる高スパッタ性のRIE法によるエッチングに移行しているため、トレンチングが増大するという不都合を生じない。したがって、トレンチングを悪化させることなくWプラグ5のプラグロスの発生を抑制することが可能となる。

【0020】また、Wプラグ5のプラグロスを小さくすることができるので、この後に形成されるAl配線6のカバレッジを良好にすることができる。これにより、Wプラグ5の直上の部分におけるAl配線6の落ち込みが抑制され、Al配線6をほぼ平坦にすることができるので、Al配線6のエレクトロマイグレーション耐性を向上させることができる。また、スタックコンタクトの形成が容易である。

【0021】以上この発明の一実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。例えば、実施形態において挙げた数値、材料などはあくまで例にすぎず、これに限定されるものではない。例えば、上述の一実施形態においては、密着層3は、TiN/Ti膜の二層膜からなるが、これは、TiN膜の単層膜であってもよい。この場合、このTiN膜の厚さは、例えば100nm~150nmに選ばれる。

【0022】

【発明の効果】以上説明したように、この発明によれば、タングステンプラグのプラグロスの発生を抑制することができ、しかも、トレンチングを抑えることができる半導体装置の製造方法を得ることができる。

【図面の簡単な説明】

【図1】 この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図2】 この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図3】 この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図4】 この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図5】 この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図6】 この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図7】 この発明の一実施形態による半導体装置の製造方法を説明するための断面図である。

【図8】 従来の半導体装置の製造方法を説明するため

の断面図である。

【図9】 従来の半導体装置の製造方法を説明するための断面図である。

【図10】 従来の半導体装置の製造方法を説明するための断面図である。

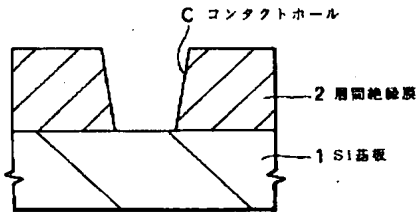
【図11】 従来の半導体装置の製造方法を説明するための断面図である。

【図12】 従来の半導体装置の製造方法を説明するための断面図である。

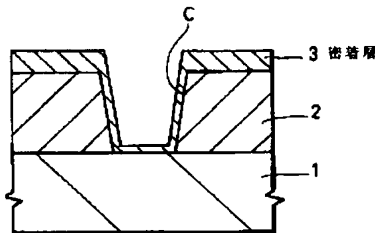
【符号の説明】

1・・・Si基板、2・・・層間絶縁膜、3・・・密着層、4・・・W膜、5・・・Wプラグ、6・・・Al配線、C・・・コンタクトホール

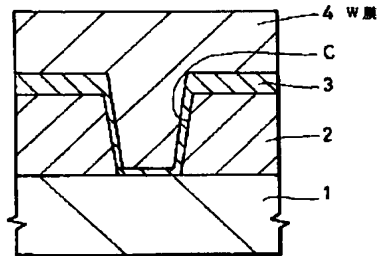
【図1】



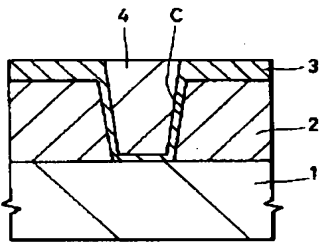
【図2】



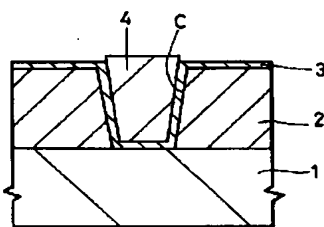
【図3】



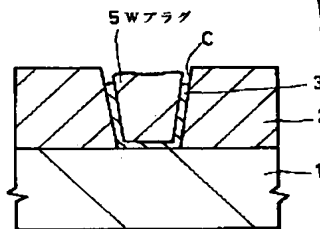
【図4】



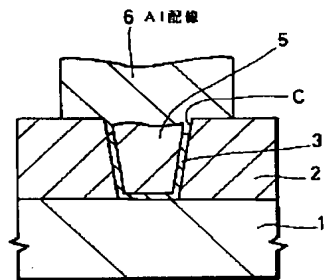
【図5】



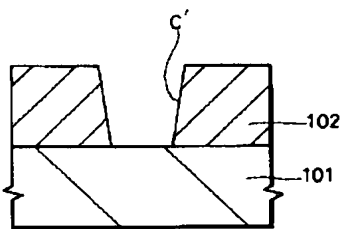
【図6】



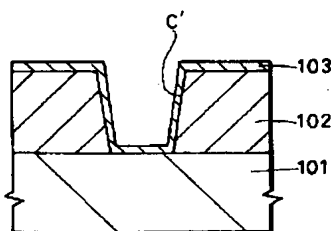
【図7】



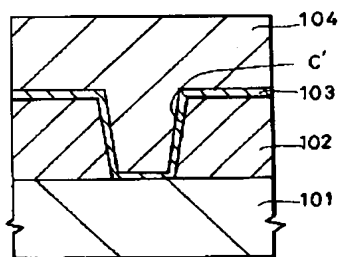
【図8】



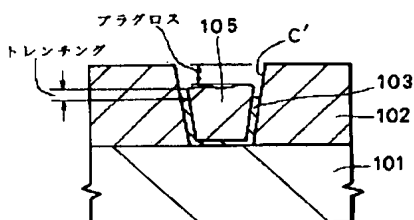
【図9】



【図10】



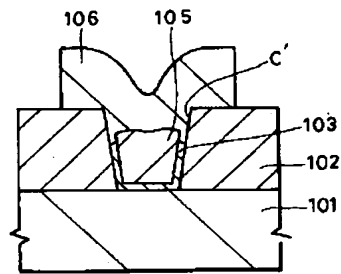
【図11】



(6)

特開平9-321141

【図12】



PUB-NO: JP409321141A

DOCUMENT-IDENTIFIER: JP 00321141 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: December 12, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

FUJIYOSHI, EIJI

INT-CL (IPC): H01 L 21/768; H01 L 21/28; H01 L 21/28; H01 L 21/3065

ABSTRACT:

PROBLEM TO BE SOLVED: To provide manufacture of a semiconductor device which restrains plug loss of a W (blanket tungsten) plug and trenching.

SOLUTION: A contact hole C is formed in an interlayer insulating film 2 on a Si substrate 1, and a Ti film and a TiN film are sequentially formed on the interlayer insulating film 2, thus forming an adhesion layer 3 made of a TiN/Ti double-layer film. After a W film 4 is formed on the adhesion layer 3, the W film 4 and the adhesion layer 3 are etched back until the surface of the interlayer insulating film 2 is exposed, thus forming a W plug in the contact hole C. The thickness of the TiN film of the adhesion layer 3 is caused to be 150-200nm, and etch back of the adhesion layer 3 is carried out in two steps, that is, a first etching process by a low-sputtering RIE(reactive ion etching) method and a second etching process by a high-sputtering RIE method. The first etching process of the etch back of the adhesion layer 3 is stopped shortly before the surface of the interlayer insulating film 2 is exposed, and the surface of the W film 4 is caused to protrude from the surface of the adhesion layer 3.

DERWENT-ACC-NO: 1998-093229

DERWENT-WEEK: 199809

COPYRIGHT 2002 DERWENT INFORMATION LTD

N -

TITLE: Semiconductor device manufacturing method - involves etching contact layer by second reactivity ion etching process with sputtering property higher than first reactant ion etching process

PRIORITY-DATA: 1996JP-0160923 (May 31, 1996)

PATENT-FAMILY:

| PUB-NO | PUB-DATE | LANGUAGE | PAGES | MAIN-IPC |
|---------------|-------------------|----------|-------|-------------|
| JP 09321141 A | December 12, 1997 | | 006 | H01L021/768 |

INT-CL (IPC): H01 L 21/28; H01 L 21/3065; H01 L 21/768

ABSTRACTED-PUB-NO: JP09321141A

BASIC-ABSTRACT:

The method involves forming a contact hole on an interlayer insulating film being formed on a silicon substrate. A contact layer consisting of a Ti film and a TiN film is formed on the insulating film. The thickness of the TiN film is set to 100nm or more or 200nm or less. A tungsten film is formed on the contact layer. The back etching of the insulating film is carried out by reactant ion etching process until the tungsten film and the contact layer are exposed.

The contact layer is etched by first reactivity ion etching process, such that the surface of the tungsten film projects from the surface of the contact layer. Then, the contact layer is etched by second reactivity ion etching process with sputtering property higher than the first etching process. A tungsten plug is formed so that it is embedded in the contact hole.

ADVANTAGE - Enables to control plastic deformation of tungsten plug.
